

METHOD AND CIRCUIT FOR CALCULATION OF MEDIAN

Publication number: JP62109171

Publication date: 1987-05-20

Inventor: KIDA YASUSHI

Applicant: SUMITOMO ELECTRIC INDUSTRIES

Classification:

- International: G06F7/24; G06F7/02; G06F17/18; G06F7/22;
G06F7/02; G06F17/18; (IPC1-7): G06F7/24; G06F15/36

- european:

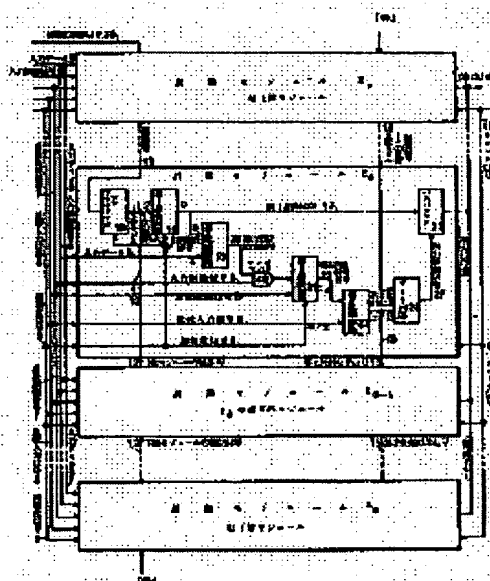
Application number: JP19850250383 19851108

Priority number(s): JP19850250383 19851108

Report a data error here

Abstract of JP62109171

PURPOSE: To calculate the median at high speed by using $(N+1)$ pieces of counter circuits corresponding to the data value and integrating the number of data smaller than or equal to said data value through each counter circuit to obtain a counter circuit having $1/2$ total data quantity. **CONSTITUTION:** The count modules Z0, Z1-ZN which are exactly equal to each other are connected in series and in parallel. The clock signals 11 are added with an initialization signal 9 and an input control signal 6 defined as false. Thus those modules are changed successively at and after the module Z0 having the order signal 12 set at the lowest rank. Then the order deciding job is through when the order signal of the highest module ZN is false. While the module Zd stores its own order D in a counter circuit 16. Then the input data 5 is supplied with the signal 6 defined as genuine. Thus the module Zd integrates the total sum SIGMA d of data following D. When all data are supplied, the SIGMA d serves as the order number showing the order of the data D counted from the lowest rank. Then the module number D is outputted to an output signal 10 from the module of the order corresponding to the center value. Then the number D shows the center value.



⑫ 公開特許公報(A)

昭62-109171

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)5月20日

G 06 F 15/36
7/248320-5B
7313-5B

審査請求 未請求 発明の数 3 (全11頁)

⑭ 発明の名称 中央値算出方法および回路

⑮ 特 願 昭60-250383

⑯ 出 願 昭60(1985)11月8日

⑰ 発 明 者 木 田 泰 大阪市此花区島屋1丁目1番3号 住友電気工業株式会社
大阪製作所内

⑱ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目15番地

⑲ 代 理 人 弁理士 川瀬 茂樹

明 細 書

1 発明の名称

中央値算出方法および回路

2 特許請求の範囲

- (1) 入力されるべきデータ X のとりうる値が 0、1、2、……、 N であつて、入力されたデータの数が M であるデータ群の中央値を算出する方法であつて、データ値に対応する $(N+1)$ 個の計数回路 Z_0 、 Z_1 、……、 Z_N を設け、各計数回路 Z_d は、そのデータ値 D より大きい(か又は等しい($X \geq D$))データの数を、或はデータ値 D より小さい(か又は等しい($X \leq D$))データの数を積算して積算データ数 Σ_d を求め、ある計数回路 Z_d の積算データ数 Σ_d と、積算方向とは反対側に隣接する直近の計数回路の積算データ数との間に、総データ数の $1/2$ である $M/2$ が存在するような計数回路 Z_d を求め、このデータ値 D を中央値 M_0 とする事を特徴とする中央値算出方法。

- (2) 入力されるべきデータ X のとりうる値が 0、1、2、……、 N であつて、データ値に対応する複数の同一の計数モジュール Z_0 、 Z_1 、……、 Z_N が並

列および直列に接続されて成る中央値算出回路であつて、各計数モジュール Z_0 、 Z_1 、……、 Z_N には、初期化信号 9 によつて 0 にクリアされ隣接する下位のモジュール Z_{d-1} からの順位信号 12 が真である時にクロック信号 11 を計数する第 1 計数回路 16 と、前記初期化信号 9 によつて真にセットされ上記順位信号 12 をクロック信号 1 周期間だけ遅延させて隣接する上位の計数モジュール Z_{d+1} への順位信号 13 とをスプリツプフロッツプ 18 と、入力データ 5 と前記第 1 計数回路 16 の計数結果 17 とを比較し、入力データ 5 が第 1 計数結果 17 以上である時、或は入力データ 5 が第 1 計数結果 17 以下である時に真となる第 1 比較結果信号 20 を発生する第 1 比較回路 19 と、初期化信号 9 によつて 0 にクリアされ入力制御信号 6 と上記第 1 比較結果信号 20 がともに真である時に、計数制御信号 7 に応じて、計数結果を 1 増加させ、或は 1 減少させる第 2 計数回路 21 と、比較入力信号 8 と前記第 2 計数回路 21 の計数結果 22 を

比較し、第2計数結果22が比較入力信号8以上であるときに真となる第2比較結果信号15を発生する第2比較回路23と、上記第2比較結果信号15が真であり、かつ隣接する上位のモジュール Z_{d+1} 又は下位のモジュール Z_{d-1} の第2比較結果信号15が偽であるときに真となる出力制御信号27を発生するゲート回路24と、上記出力制御信号27が真のとき第1計数回路16の第1計数結果17を出力信号線10に出力し、出力制御信号27が偽のときは高インピーダンス状態となるバスバッファ25とからなることを特徴とする中央値算出回路。

(3) 各計数モジュール $Z_0, Z_1, Z_2, \dots, Z_N$ は比較入力信号8の記憶回路を有し入力データ5と同一のデータ信号線を用いて比較入力信号8を上記記憶回路に記憶せしめるようにしたことを特徴とする特許請求の範囲第(2)項記載の中央値算出回路。

(4) 各計数モジュール $Z_0, Z_1, Z_2, \dots, Z_N$ は読出し信号端子を有し、読出し信号が真のとき

計数回路21の計数結果22を比較し、計数結果22が比較入力信号8以上であるときに真となる第2比較結果信号15を発生する第2比較回路23と、上記第2比較結果信号15が真であり、かつ隣接する上位のモジュール Z_{d+1} 又は下位のモジュール Z_{d-1} の第2比較結果信号15が偽であるときに真となる出力制御信号27を発生するゲート回路24と、上記出力制御信号27が真のとき前記モジュール番号記憶手段のモジュール番号Dを出力信号線10に出力し、出力制御信号27が偽のときは高インピーダンス状態となるバスバッファ25とからなることを特徴とする中央値算出回路。

8 発明の詳細な説明

ㄱ 技術分野

この発明は、多数のデータの中央値を算出する方法と中央値算出回路に関する。

信号の大域的な変化の、変化部分を鈍化させることなく、ランダムなノイズを除去するためには、中央値フィルタが有効である事が知られている。

のみゲート回路24は出力制御信号27を真とするものであつて、入力データ5の信号線は出力信号線を共用するようにしたことを特徴とする特許請求の範囲第(2)項記載の中央値算出回路。

(5) 入力されるべきデータXのとりうる値が0、1、2、 \dots Nであつて、データ値に対応する複数の計数モジュール Z_0, Z_1, \dots, Z_N が並列および直列に接続されてなる中央値算出回路であつて、各計数モジュール Z_0, Z_1, \dots, Z_N には、そのモジュール番号Dを記憶するモジュール番号記憶手段と、入力データ5と前記モジュール番号記憶手段のモジュール番号Dとを比較し、入力データ5がモジュール番号D以上である時、或は入力データ5がモジュール番号D以下である時に真となる第1比較結果信号20を発生する第1比較回路19と、初期化信号9によつて0にクリアされ入力制御信号6と第1比較結果信号20とがともに真である時に、計数制御信号7に応じて計数結果を1増加させ或は1減少させる計数回路21と、比較入力信号8と前記

ノイズが多く含まれる各種の計測信号、画像信号の前処理として、ノイズを除去するために、中央値フィルタを用いる事が望まれる。

中央値フィルタは、各点の信号値を、その周辺の一定領域内の原信号値の統計的中央値(メジアン)で置き換えるものである。

原信号には、多くのノイズが含まれている可能性があるが、このノイズはランダムなノイズであるから、信号の中央値を求めることによつて、ノイズの影響を除くことができる。

中央値フィルタを実現するには、数多くのデータから、中央値を算出しなければならない。しかし、中央値の算出には、一般に長時間を要し、実用化できない場合が多い。

本発明は、高速の中央値フィルタのための中央値算出回路に関する。

まず、中央値の定義などについて説明する。

なんらかの物理量、信号として伝達されるべき量をデータXという。データの番号を1、2、 \dots Mとする。データXは単に実数であつてよいわけ

であるが、計測信号などは全て A/D 変換してから処理するので、正の整数、すなわち自然数として取扱われる。つまり、ここで、データ X は自然数である。i 番目のデータが X_i である。

平均値は、全データの和を、データ数 M で割ったものである。ここでは、平均値を用いず、中央値を用いる。平均値は、中心から離れたノイズの影響を強調しすぎる傾向がある。平均値に関して対称であつて、分散の小さいデータ分布でない限り、平均値は、ノイズを強く反映する。そこで、ノイズの影響をあまり受けない中央値を用いる。

データ群 $\{X_i\}$ を、小さいものから順に並べかえることができる。これを、 Y_1, Y_2, \dots, Y_M とする。 Y_k はもとのデータ $\{X_i\}$ のいずれかに等しい。しかも、不等式

$$Y_{k-1} \leq Y_k \quad (k=1, 2, \dots, M) \quad (1)$$

が常に成立するようにする。

中央値 M_0 というのは、 $k=M/2$ としたものである。つまり

ヒストグラムというのは、あるデータ値 D に属するデータの個数 P_d を、グラフに表わしたものである。横軸を D 、縦軸を P_d として、棒グラフで表現したものがヒストグラムである。

そうすると、データの値が $0, 1, 2, \dots, N$ であるから、それぞれに属するデータ数 P_0, P_1, \dots を全て求めて、下から、又は上から $M/2$ 番目のデータがどれであることを調べ、そのデータ P_d が中央値 M_0 という事になる。

ヒストグラムを作るといふ事は、データ値 D に対するデータ数 P_d を確定することである。

4.1 従来技術

第2図は従来例に係るヒストグラム回路の構成を示す。

数多くの入力データ $\{X_i\}$ は、データ番号の順に入力データ 5 として、デコーダ 28 に入力される。

予め、データの値 $0, 1, 2, \dots, N$ に対応して、 $(N+1)$ 個の計数回路 30 が設けられている。デコーダ 28 は、入力データが D であれば、 D 番目

$$M_0 = Y_{M/2} \quad (2)$$

である。最小のものから数えても、最大のものから数えても $M/2$ 番目にあるから中央値という。

実際には、データの値 X がとりうる値の数は限られている。この数が $(N+1)$ であるとする。 X は $0, 1, 2, \dots, N$ の $(N+1)$ とおりの値しかとれないとする。データ総数 M の方が $(N+1)$ よりずつと多いとする。この場合、あるデータ値 D に属するデータの数を P_d とすると、

$$M = \sum_{d=0}^N P_d \quad (3)$$

である。

中央値を求めるということは、

$$\frac{M}{2} = \sum_{d=0}^S P_d \quad (4)$$

となるような S の値を求める、という事である。

これは、ヒストグラム法によつて与えられる。

の計数回路 30 にひとつの計数指示 29 を与える。

入力データが入るたびに、その値に対応する計数回路 30 の値が増える。結局、全てのデータが入力された時、計数回路 30 は、それぞれの値のデータの数 P_0, P_1, \dots, P_N を計数していることになる。

そこで、下限値のデータ数 P_0 、又は上限値のデータ数 P_N から、順にデータの個数を積算してゆき、積算したものが、データ総個数 M の半分 $M/2$ を越えた時、最後に積算した個数 P_S を与えた値 S を求めて中央値とする方法が採られてきた。

つまり、不等式

$$\sum_{d=0}^S P_d \geq \frac{M}{2} \quad (5)$$

$$\sum_{d=0}^{S-1} P_d < \frac{M}{2} \quad (6)$$

が成立するような S の値が中央値 M_0 である。

第2図の回路に於て、全てのデータが入力され

終つた時、ヒストグラム P_0, P_1, \dots, P_N が求められている。ヒストグラム自体は高速に求めることができる。

しかし、データのとりうる値の数 $(N+1)$ が大きい場合、計数結果 P_0, P_1, \dots, P_N の読み出しと、積算に時間を要する。

このため、中央値を高速に算出する、という事はできないことが多い。

例 目 的

入力データを全て入力し終つた後、遅延時間なく、中央値を直ちに算出できるようにした高速の中央値算出方法と回路とを与える事が本発明の第1の目的である。

同一の回路の繰返しであつて集積回路化が容易な中央値算出回路を与える事が本発明の第2の目的である。

入力データを与えながら、連続的に中央値を求めてゆくことのできる中央値算出回路を与える事が本発明の第3の目的である。

例 本発明の方法

が D であれば、それに対応するひとつの計数回路のみがひとつカウントを進めるだけであつた。

しかし、本発明では、データ D が入力されると、これ以下の値に対応する $(D+1)$ 個の計数回路 $Z_0, Z_1, Z_2, \dots, Z_d$ の全てに対して、計数値に $+1$ のカウントがなされることになる。

これまでの説明に於て、 Σd は D 以下のデータの総数であるとしているが、これは下限値から総数を求めているものである。

本発明に於ては、上限値から計数しても差支えない。この場合 Σd は D 以上のデータの総数であるとし、(7)のかわりに、

$$\Sigma d' = \sum_{k=d}^N P_k \quad (8)$$

というように定義できる。これについては後に述べる。

(7)式で定義される積算データ数 Σd を、 D 以下のデータ値をもつデータの数として求めると、 $\Sigma_0, \Sigma_1, \dots, \Sigma_N$ は、単調増加数列をなす。 Σ_N は総デ

本発明に於ては、ヒストグラム P_0, P_1, \dots, P_N を求めない。つまり、データ D に属するデータの数 P_D をいつたん求める、という手順を踏まない。

データ $0, 1, \dots, N$ に対応する $(N+1)$ 個の計数回路 Z_0, Z_1, \dots, Z_N を設ける、という点は同じである。

しかし、計数回路 Z_d は、ヒストグラム P_d を求めるのではなく、データ D までのデータ数の総計を求めるようにする。

すなわち Z_d は、データが $0, 1, \dots, D$ のうちのどれかであるデータの数を計数するのである。

計数回路 Z_d の最終的な計数値を Σd によつて表わす。 Σd は、 D 以下のデータ値をもつデータ数の総数であるから、次のように書くこともできる。

$$\Sigma d = \sum_{k=0}^d P_k \quad (7)$$

Σd を積算データ数と呼ぶ。

第2図のヒストグラム回路に於ては、データ値

データ数 M である。 Σd はデータ D が最下位から数えて何番目であるかを表わす順位数であると考えることができる。

これらの計数回路のうち、ただひとつについて、直近の計数回路の積算データ数について、

$$\Sigma d-1 < \frac{M}{2} \leq \Sigma d \quad (9)$$

となるものが存在する。この計数回路のデータ数 D が中央値 M_0 である。

こうして、中央値 M_0 を求めることができる。

不等式(9)が、(7)式で定義される計数回路に対して、中央値を算出するための基準になる。

入力データが与えられた後に行なわなければならないのは、(9)式の比較演算だけである。

ヒストグラムの個数を上限値 N から数えて、(8)式のように定義したデータ数を用いてもよい。この場合、 $\Sigma_0 \sim \Sigma_N$ は単調に減少する数列をなす。 Σ_0 が最大である。

ある計数回路 (D がデータ値) Z_d について、

$$\Sigma'd+1 < \frac{M}{2} \leq \Sigma'd \quad (10)$$

となるような Z_d が存在する。このとき D が中央値 M_0 である。

つまり、計数回路は、最下位のヒストグラム P_0 から加算してゆくタイプのもの、すなわち $X \leq D$ であるデータ数を積算してゆくものであつてもよい。

前者の場合、(7)、(9)式による。後者の場合、(8)、(10)式による。

いずれにしても、ある計数回路 Z_d の積算データ数と、積算の方向とは反対側に隣接する直近の計数回路の積算データ数との間に、 $M/2$ が存在するような計数回路 Z_d を求めればよい。その対応データ値 D が中央値 M_0 である。

従来のヒストグラム回路は、ヒストグラム P_d を求めた。しかし、これであれば、積算データ数 $\Sigma d = \Sigma P_d$ を、各データ値 D について求めてゆかなくてはならない。

ことになり、4ビットであれば $(N+1)$ は 16 ということになる。 N は任意に定める事ができる。

データ値が 0、1、2、 \dots N の値しかとらないという事によつて本発明の用途が制限されるわけではない。データの値に対応して、データの数だけ等価な計数モジュール Z_0 、 Z_1 、 Z_2 、 \dots Z_N を設ける。この点は、第2図に示すヒストグラム回路と同じようではあるが、ヒストグラム回路はデータ D に対しそのヒストグラム値 P_d を求めるのに、本発明の Z_d は積算データ数 Σd を求める。各モジュール $Z_0 \sim Z_N$ には入力データ 5、入力制御信号 6、計数制御信号 7、比較入力データ 8、初期化信号 9、及びクロック信号 11 が並列に与えられている。

また、各モジュール $Z_0 \sim Z_N$ から、出力信号 10 が並列接続されて取り出されている。

入力データ 5、比較入力データ 8、及び出力信号 10 は、それぞれ複数ビットの 2 進級であつて、数値をあらわす複数本の信号線からなる。

各計数モジュールは、最上位モジュール Z_N から、最下位モジュール Z_0 まで順序づけられている。最上位モジュール Z_N は、入力データ値 N に対応す

本発明では、 P_d ではなく Σd を求めているので、データの入力後、直ちに中央値 M_0 を知る事ができる。

44 本発明の回路

第1図によつて本発明の中央値算出回路の構成及び作用を説明する。

本発明の回路は、全く等しい計数モジュール Z_0 、 Z_1 、 \dots 、 Z_N を $(N+1)$ 個、直列、及び並列に接続して成つている。

$(N+1)$ というのはデータがとりうる値の数である。データは、もともと連続量であるが、 A/D 変換するので、デジタル量になり、これが $(N+1)$ 種類の値しかない場合、これを自然数 0、1、2、 \dots N に対応させる事ができる、従つて本発明では、データ値としては 0、1、2、 \dots 、 N に変換された後の段階に於ける処理に限定している。

N は有限の数である。データについて、必要な精度が予め決定されるから、これによつて、 A/D 変換の単位を決定し、 N もこれによりきまる。データ値が 8 ビットであれば $(N+1)$ は 256 という

る。最下位モジュール Z_0 は、入力データ値 0 に対応する。一般にデータ値 D に対応するものが Z_d と表現されている。

前節に於て、 $Z_0 \sim Z_N$ は計数回路と呼んだが、ここでは、他に計数回路という言葉がでてくるので、区別するために、計数モジュールと呼ぶ。または、単にモジュールという。

順序づけるための回路構成を、まず説明する。

各計数モジュール Z_d には、直下のモジュール Z_{d-1} から順位信号 12 が入力されている。そして、計数モジュール Z_d は、直上のモジュールに自己の順位信号 13 を出力する。

最下位のモジュール Z_0 に対しては、これより下位のモジュールがないが、下位のモジュールからの順位信号として、常に「偽」である信号が与えられている。

最上位のモジュール Z_N に現われた最終的な順位信号は、初期化状態信号 26 として取り出されている。

はじめに、本発明の回路の動作を簡単に説明し、

次にモジュール内に含まれる回路の動作について説明する。

本発明の回路は、まず初期化信号9を真とする事によつて初期化される。これによつて全ての計数モジュールの第1計数回路16の計数値が0にリセットされる。さらに、順位信号12、13を繰次的に伝達するフリップフロップの値を「真」にする。

この時、全ての計数モジュールは同一の状態にある。

次に、計数モジュールの順位付けを行なう。

初期化信号9と、入力制御信号6とをともに「偽」に保つたまま、クロック信号11にパルスを加えてゆく。順位信号12が、最下位のモジュールから順に、1クロックパルスあたり1モジュールずつ真から偽に変化してゆく。最上位モジュールの順位信号も偽になると、初期化状態信号26が偽となつて、モジュールの順位付けが完了する。

モジュールは全て同一の回路であるが、このような順序付けによつて、自己の順位を識別、記憶

各計数モジュールは、クロック信号11にパルスが与えられた時の、下位モジュールからの順位信号12を記憶するためのフリップフロップ18を有する。

フリップフロップ18は、最初、初期化信号9によつて初期化され、その出力である順位信号13が真となる。フリップフロップ18の入力、出力は真と偽の2値しかない。

既に述べたように、フリップフロップ18には、直下のモジュール Z_{d-1} の順位信号12が入力されている。クロック信号11にパルスが与えられるたびに、下位の順位信号12がフリップフロップの出力、つまりこのモジュールの順位信号13に移される。

最下位のモジュール Z_0 のフリップフロップ18に対して、さらに下位モジュールの順位信号12というものはなく、ここには、「偽」の信号が入力されるようになつている。

最初に、全てのモジュールの順位信号が真であるよう初期化されている。1回目のクロック信号

する。つまり、 Z_d は、自己の順位がDである事を知り、第1計数回路16に記憶する。

この状態で、入力制御信号6を真とする。そして、入力データ5を、全計数モジュールに、1クロックパルスあたり、ひとつずつ入力してゆく。こうすると、計数モジュール Z_d は、D以下のデータの総数 Σd を積算してゆく。全てのデータが入力された時、中央値に対応する順位のモジュール(不等式⑨を満たす)から、そのモジュール番号Dが出力信号10に出力される。これが中央値 M_0 である。

次に、ひとつの計数モジュールの中の構成と作用を説明する。全ての計数モジュールの回路構成は同一である。従つて、ひとつについて説明すれば、全てのモジュールについて理解する事ができる。

第1図に於て、 Z_d だけ内部の回路を書き、 Z_0 、 \dots 、 Z_{d-1} 、 \dots 、 Z_N については内部回路の図示を省略しているが、これらは同一であるので、図示していないだけである。

11のパルスで、最下位モジュール Z_0 のフリップフロップ18の出力が、真から偽に変化する。これは次のモジュール Z_1 のフリップフロップ18に順位信号12として与えられる。2回目のクロック信号11のパルスで(以下、簡単のためクロックパルスと略すこともある)、このフリップフロップ18の出力が真から偽に変化する。この時、 Z_0 、 Z_1 のフリップフロップが偽で、 $Z_2 \sim Z_N$ のフリップフロップは真である。

Z_1 の順位信号12は、 Z_2 のフリップフロップ18につないであるから、3回目のクロックパルスによつて、 Z_2 のフリップフロップ18の出力が真から偽に変化する。

このようにして、D回目のクロックパルスによつて、 Z_{d-1} のフリップフロップの出力が真から偽に変化する。 $Z_0 \sim Z_{d-1}$ のフリップフロップが偽、 $Z_d \sim Z_N$ のフリップフロップが真である。

(D+1)回目のクロックパルスによつて、最上位モジュール Z_N のフリップフロップ出力も偽になる。これは初期化状態信号26であり、これに

「偽」が出力された時、全てのモジュールの順位信号12、13の伝達が終了したという事になる。

このように、下位から上位へ、クロックパルス1個ごとに、順位信号13が真から偽へ変わつてゆく。これは、計数モジュールの下位からの順番を決めるための手順なのである。

このため、各モジュールは第1の計数回路16を備える。

第1計数回路16は、初期化信号9によつて0にリセットされた後、下位モジュールの順位信号12が真である間、クロック信号11のパルス数を計数する。

第1回目のクロック信号11のパルスが入つた時、最下位モジュール Z_0 は、下位モジュールからの順位信号12が「偽」であるから、その第1計数回路16はパルスを数えない。出力は0である。他のモジュール $Z_1 \sim Z_N$ については、下位モジュールからの順位信号12が「真」である。このため、これらのモジュールの第1計数回路16は、ひとつのパルスを計数する。

「D」を記憶している。以下、 Z_N モジュールは「N」を記憶している。

つまり、各モジュールの下位からの順位が第1計数回路16の出力に保持されることになる。この値Dは、第1比較回路19の1方の入力に与えられる。

以上が準備である。

順位付けが終り、初期化状態信号26が、真から偽に変化すると、いよいよデータ $\{X_i\}$ を入力できるようにする。

クロック信号11のパルスひとつごとに、ひとつの入力データ5が、全ての計数モジュール $Z_0 \sim Z_N$ の第1比較回路19の他方の入力に与えられる。

入力データは X_1, X_2, \dots, X_N のM個のデータ列であつて、クロックパルスごとにひとつ与えられる。データ $\{X_i\}$ のすべては、0～Nのいずれかの値をとつている。

第1比較回路19は、全モジュールに共通に与えられている入力データ X_i と、第1計数回路16

第2回目のクロックパルスが入つた時、 Z_1 モジュールの順位信号12は偽になつている。このため第1計数回路16は、このパルスを数えない。以後 Z_0, Z_1 モジュールの第1計数回路16の出力は0、1であつて不変である。

このようにして、(D+1)回目のクロックパルスが入るまで、D番目のモジュール Z_d の第1計数回路16はクロックパルスを計えている。出力値はDである。(D+1)回のクロックは数えない。下位モジュールからの順位信号12が偽になつているからである。以後、 Z_d はクロックを数えないので、第1計数回路16の出力値はDのままである。

(N+1)番目のクロック信号11のパルスで、初期化状態信号26が真から偽に変わる。この時、全ての順位付けが終つている。 Z_0 モジュールの第1計数回路16は、「0」を記憶している。 Z_1 モジュールの第1計数回路16は「1」を記憶している。 Z_d モジュールの第1計数回路16は、

の計数結果17(つまりD)とを比較する。入力データ X_i がDより大きい時、及び、等しいとき($X_i \geq D$)、第1比較信号20は真となる。

反対に、 $X_i < D$ であれば、第1比較信号20は偽である。

第1比較信号20は、アンドゲート40の一方の入力につながれる。アンドゲート40のもうひとつの入力には、入力制御信号6が与えられる。

各計数モジュール $Z_0 \sim Z_N$ は、第2計数回路21、第2比較回路23、ゲート回路24およびバスバッファ25を有する。

アンドゲート40は、 $X_i \geq D$ であつて、入力制御信号6が真である時にのみ出力が真になる。

第2計数回路21は、入力制御信号6が真であり、かつ第1比較結果信号20が真($X_i \geq D$)である時のみ、計数制御信号7の指示によつて、計数結果22を、1だけ増加するか、又は1だけ減少させる。

第2計数回路21は、初期化信号9によつて、0に初期化される。つまり、第2計数結果22は、

0 になつてゐる。

そこで、計数制御信号 7 を増加指示(+1)として、データを入力すれば、入力されたデータ $\{X_i\}$ の内、そのモジュール Z_d に対応づけられた値 D 以上の値 X をもつた ($D \leq X_i$) もの個数が計数される。これが第 2 計数結果 22 である。

入力済みのデータを中央値算出範囲から除きたい場合は、計数制御信号を減少指示(-1)として、除きたいデータ X_i を再度入力データ 5 として与えればよい。

計数制御信号は、このように、データを加算したい時には(+1)の指示、データ数を減算したい時には(-1)の指示を第 2 計数回路 21 に与える。

結局、第 2 計数回路 21 から出力される第 2 計数結果は、これまで入力されたデータ $\{X_i\}$ の内、 D 以上であつたものの数 $\Sigma d'$ を表わしていることになる。

ここで、 $\Sigma d'$ というのは、(8)式で定義された積算データ数に等しい。これは上部モジュールから計えた積算データ数である。もちろん(7)式で定義

中央値 M_0 は、上方から数えても $M/2$ 番目、下方から数えても $M/2$ 番目の値である。

中央値 M_0 に等しいデータ値 D をもつモジュール Z_d に於ては、 $\Sigma d' \geq M/2$ であるはずである。これより下位の全てのモジュールに於て、 $\Sigma d'$ はこれより大きいので当然 $\Sigma d' \geq M/2$ である。

結局、中央値をもつモジュールとそれ以下のモジュールについて、第 2 比較結果 15 は真となる。

ところが、中央値 M_0 のモジュールより上位のモジュールに於ては、積算データ数 $\Sigma d'$ が $M/2$ より小さい。つまり $\Sigma d' < M/2$ である。第 2 比較結果 15 は偽となる。

つまり、 $M_0 = D$ (D を中央値とする) であるような場合、第 2 比較結果 15 は

(I) $Z_0 \sim Z_d$ に於て 真

(II) $Z_{d+1} \sim Z_N$ に於て 偽

となる。

中央値 M_0 を与える計数モジュール Z_d は、自らの第 2 比較結果は真であるが、直上の計数モジュール Z_{d+1} の第 2 比較結果が偽となる、という事

される、下部モジュールから計えたものを使つてもよい。

$\Sigma d'$ が(8)式の値に等しい理由を説明する。

$D \leq \{X_i\}$ となるデータの総数が $\Sigma d'$ である。

これは、第 1 比較回路 19 の出力が真になる回数を数えているからである。ところが $D \leq X$ というデータは、 D から N までのいずれかに等しいはずである、したがつて、 $D \sim N$ までのヒストグラム $P_d \sim P_N$ のいずれかに加算されている。したがつて、 $D \leq X$ となるデータの数は、 P_d から P_N までのヒストグラムの和に等しい。こうして、 $\Sigma d'$ が(8)式の値に等しいことがわかる。

第 2 比較回路 23 は、第 2 計数結果 22 と、比較入力信号 8 とを比較する。第 2 計数結果というのは、 $\Sigma d'$ である。比較入力信号 8 は、全データ数 M の $1/2$ の値、つまり、 $M/2$ である。

第 2 比較回路 23 は、 $\Sigma d' \geq M/2$ の時、第 2 比較結果 15 を真とする。

第 2 比較回路 23 は、 $\Sigma d' < M/2$ の時、第 2 比較結果 15 を偽とする。

によつて見い出すことができる。

ゲート回路 24 は、このような目的のために設けられている。自己のモジュールの第 2 比較結果 15 が真で、かつ直上のモジュールの第 2 比較結果 14 が偽である時のみ、ゲート回路 24 は、真となる出力制御信号 27 を出力する。

これ以外の時、出力制御信号 27 は、全て偽である。

すなわち、ゲート回路 24 の出力制御信号 27 が真となるのは、入力されたデータの中央値に対応づけられているモジュールただひとつである。

このモジュールより下位のモジュールに於ては、自己の第 2 比較結果も直上モジュールの第 2 比較結果もともに真であるから、出力制御信号は偽となる。

このモジュールより上位のモジュールに於ては、自己の第 2 比較結果も、直上モジュールの第 2 比較結果もともに偽であるから、出力制御信号 27 は偽となる。

バスバッファ 25 は、第 1 計数回路 16 のデー

データ値 D と、ゲート回路 24 の出力制御信号 27 が入力される。バスバッファ 25 の出力は、共通の出力信号 10 に接続されている。

出力制御信号 27 が真である時、バスバッファ 25 は、第 1 計数回路のデータ値 D を、出力信号 10 に出力する。出力制御信号 27 が真であるモジュールはただひとつしかなく、それはデータ値 D が中央値 M_0 に等しいモジュールであつた。したがつて出力信号 10 に出力されているものが、中央値 M_0 である。

出力制御信号 27 が偽である時、バスバッファ 25 の出力は高インピーダンス状態となる。つまり、出力信号 10 になんらの影響を及ぼさない。

結局、出力信号 10 に、中央値 M_0 の値が出力され、他のモジュールの存在によつて、これが妨げられないようになつている。

このようにして、データ入力が終了すると、同時に、その中央値 M_0 を即時に求めることができる。

M 個のデータを全て与えてから、 $M/2$ を比較入力信号 8 に入力すれば、全データが入力し終つて

データ線は、データのビット数だけ必要である。たとえばデータが 8 ビットであれば、データ線は 8 本必要である。データ線が多ければ、モジュールに対応する IC のピンの数もそれだけ増える。

そこでデータ線を節減する事を考える。

比較入力信号線を省く。このため、各計数モジュールの中に、比較入力信号 8 を記憶するための比較入力記憶回路を新しく設ける。

入力データ線を共通にし、第 1 比較回路 19 へのデータ入力 $\{X_i\}$ と、比較入力記憶回路への $M/2$ の入力とを時分割して与える事にする。

こうすれば、IC のピンの数を減らすことができ、プリント基板上の配線数も減らすことができる。モジュール相互の接続数を減少させる事ができる。

この結果、全体の回路をより小型に、かつ安価に構成することができる。

また、入力データ線と、出力信号とが第 1 図では独立の 2 組のデータ線となつている。しかし、入出力データ線を 1 本にして、共用する事もでき

はじめて、 M 個のデータについての中央値が求まることになる。

しかし、本発明では、データ入力をつづけながら、その時刻に於ける中央値 $M_0(t)$ を求めてゆくことができる。

すなわち、データを X_0, X_1, \dots, X_{i-1} というように i 個入力した時、比較入力信号 8 を $i/2$ とする。このようにすれば、全ての時刻に於て中央値 $M_0(t)$ を求め、 $M_0(t)$ の時間的変動をモニタすることもできる。

データの入力される順序が全くランダムであれば、このような随時的変化をモニタする、ということに意味はない。しかし、データ入力の群が、時間的に有意の変動をする場合は、中央値の時間的変化 $M_0(t)$ をモニタすることは有用である。第 2 図に示すヒストグラム回路を用いて、このような事を行なうことはできない。

例 可能な設計変更

第 1 図の回路に於ては、入力データ 5 と、比較入力信号 8 とが、別々のデータ線となつている。

る。

このため、各モジュールに、新しく読み出し信号端子を作り、読み出し信号が与えられた時のみ、入出力データ線に出力信号 10 が現われるようにする。読み出し信号がない場合は、入力データ 5 をこのデータ線に与え、第 1 比較回路 19 に入力されるようにする。

入力データと、出力信号とを同一の入出力データ線を使つて、入力、出力すると、入力データの供給と、出力データの取出しは同時にはできないようになる。

しかし、モジュール相互の接続数を減少させることができるし、IC のピンの数も減る。

従つて、回路をより小型かつ安価に構成できる。

さらに、第 1 図の回路は、フリップフロップ 18 と、第 1 計数回路 16 とクロックパルスとを組合わせて、下位の計数モジュール Z_0, Z_1, \dots から、順にこれに対応するデータ値、すなわちモジュール番号 $0, 1, 2, \dots, N$ を第 1 計数回路 16 に保持させるようにしている。 Z_4 のモジュールの第 1

計数回路16の計数結果17はDである。

この値は、各モジュールZ_dについて予め決まっているのである。固定的なモジュール番号である。演算のつど計算しなおさなければならないというものではない。

そこで、フリップフロップ18、第1計数回路16のかわりに、固定的なモジュール番号記憶手段を設けるようにしてもよい。これはD番目のモジュールに対し、モジュール番号Dを固定的に対応させるものである。

たとえば、モジュール番号入力線を設けて、各端子を電源に、あるいはアースに直接つないで、モジュール番号を決定するようにしてもよい。

効 果

- (1) データを入力するだけで、即座に中央値が得られる。
- (2) データの一部のみを入れかえて、新たな中央値を求める際にも、新たに追加するデータと削除するデータのみを入力するだけでよい。全てを計算しなおす必要がない。

Z_d …… 中央値を与えるモジュールであつて説明用構成を示した計数モジュール
 Z_{d-1} …… 直下の計数モジュール
 Z₀ …… 最下位の計数モジュール
 Z_N …… 最上位の計数モジュール
 5 …… 入力データ
 6 …… 入力制御信号
 7 …… 計数制御信号
 8 …… 比較入力信号
 9 …… 初期化信号
 10 …… 出力データ
 11 …… クロック信号
 12 …… 下位のモジュールの順位信号
 13 …… 順位信号
 14 …… 上位のモジュールの第2の比較結果信号
 15 …… 第2比較結果信号
 16 …… 第1計数回路
 17 …… 第1計数結果
 18 …… フリップフロップ

- (3) データの範囲を少しずつ移動させながら、中央値を次々に求めてゆくフィルタ処理が高速に行なえる。
- (4) 本発明の回路は、全く同一のモジュールを必要個数相互接続すればよい。1モジュールをひとつの集積回路とすると、1種類の集積回路のみで作成することができる。
- (5) 複数のモジュールを1つの集積回路とする場合は、モジュール相互の接続が、単純な並列および直列接続のみであるから、同一パターンの繰返しのみでよく、設計が容易である。
- (6) 同様の理由により、集積度に応じて1つの集積回路に集積するモジュール数が任意に選べる。
- (7) これらの結果、本発明の回路は安価に構成することができる。

4 図面の簡単な説明

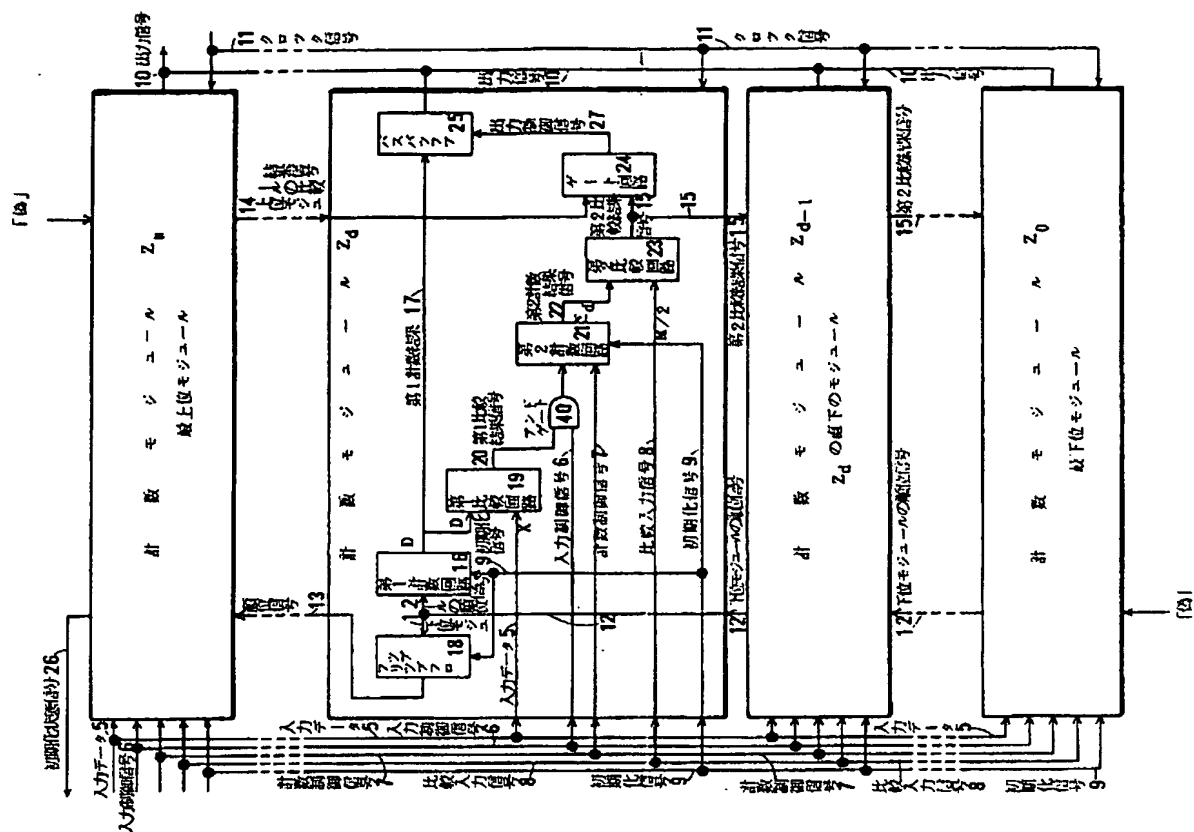
第1図は本発明の中央値算出回路の回路構成例図。

第2図は従来のヒストグラム回路の回路構成例図。

19 …… 第1比較回路
 20 …… 第1比較結果信号
 21 …… 第2計数回路
 22 …… 第2計数結果
 23 …… 第2比較回路
 24 …… ゲート回路
 25 …… バスバuffer
 26 …… 初期化状態信号
 27 …… 出力制御信号
 28 …… デコード
 29 …… 計数指示
 30 …… 計数回路
 31 …… 読出し指示
 32 …… 読出し出力
 40 …… アンドゲート

発 明 者 木 田 泰
 特許出願人 住友電気工業株式会社
 出願代理人 弁理士 川 瀬 茂 樹

第 1 図



第 2 図

従来技術

ヒストグラム回路

